

03 - 28 - 02

Docket No. JCLA6880

page 1

2833d
8-26-02**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of: : NAI-SHUNG CHANG et al.

Application No.: : 10/036,168

Filed: : October 22, 2001

For: : APPARATUS AND METHOD FOR
SUPPORTING MULTI-PROCESSORS AND
MOTHERBOARD OF THE SAME

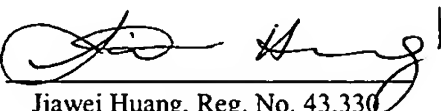
Examiner: :

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as express mail EV 094226495 US in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

March 25, 2002

(Date)


Jiawei Huang, Reg. No. 43,330ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

RECEIVED**JUL 2 5 2002**

Technology Center 2100

Transmitted herewith is a certified copy of Taiwan Application No. 90110526 filed on May 02, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6880). A duplicate copy of this sheet is enclosed.

Date: 3/25/2002By: 

Jiawei Huang

Registration No. 43,330

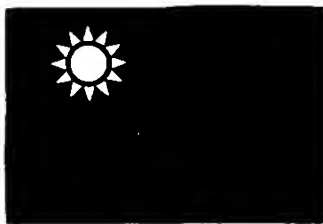
Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

RECEIVED
APR - 4 2002
TO 2800 MAIL ROOM

3CLA6880

10/036,168



RECEIVED

APR -4 2002

TC 2800 MAIL ROOM

RECEIVED

JUL 2 5 2002

Technology Center 2100

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 05 月 02 日
Application Date

申請案號：090110526
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

發文日期：西元 2001 年 5 月
Issue Date

發文字號：
Serial No.

09011007298



申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書		
一、發明 新型名稱	中 文	支援多種處理器共用相同主機板的配件裝置與 方法及使用其之主機板
	英 文	
二、發明 創作人	姓 名	1 張乃舜 2 余嘉興
	國 籍	中華民國
	住、居所	1 台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓 2 台北縣三重市永安北路一段 33 巷 17 號
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

四、中文發明摘要（發明之名稱：支援多種處理器共用相同主機板的
配件裝置與方法及使用其之主機板）

一種支援多種處理器共用相同主機板的配件裝置與方法及其之主機板，其中配件裝置接受Socket-370中央處理單元的腳位Z36與AK36，判斷所使用之Socket-370中央處理單元之類型為何，而後由主機板上之南橋晶片所傳送來的暫歇狀態輸入訊號將其判斷結果栓鎖住，透過切換電路將一些適當的線路連接至該Socket-370中央處理單元。同時，暫歇狀態輸入訊號被延遲後用來切斷Socket-370中央處理單元與該配件裝置之間的連線，這個延遲過的暫歇狀態輸入訊號再經過一次延遲後會被傳送至ATX電源供應器，用以將整個系統啟動。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝
訂
線

(由本局填寫)

承辦人代碼：

大類：

IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
美國 2000/11/01 60/244,982

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（ / ）

本發明是有關於一種可支援多種處理器共用相同主機板的電腦系統，且特別是有關於一種可支援多種處理器共用相同主機板之配件裝置與方法、其中所使用之中央處理單元機型的分辨裝置以及使用其之支援多種處理器的主機板。

習知主機板廠商必須為各種中央處理單元設計可支援該中央處理單元之專屬主機板，主要是因為每一顆中央處理單元所使用的中央處理單元插槽、各支腳位功能、系統時脈頻率、與供應電壓高低等都不盡相同，是以無法共用相同的主機板。即使是使用相同中央處理單元插槽的不同種中央處理單元，也會因為每支腳位所被賦予的功能、所使用的系統時脈與所需之供應電壓不盡相同而無法共用同一主機板。

美國專利第5714873號揭露一種自動供給正確電壓給中央處理單元的方法，其利用中央處理單元上的VOLDET腳位傳遞訊號至選擇裝置，進而控制電壓調整器輸出適當的電壓至中央處理單元。但其只適用於具有VOLDET腳位的特殊中央處理單元。

習知中央處理單元製造廠商Intel所生產的兩顆中央處理單元，Coppermine與Tualatin，都是使用370接腳插槽（即Socket-370）。但由於這兩顆中央處理單元有23支腳位被賦予不相同的功能（請參照表1），且兩顆中央處理單元所使用的核心電壓源與供應電壓也不相同（Coppermine使用VRM8.4 VCC_CORE，而Tualatin使用VRM8.5 VCC_CORE；Coppermine使用1.5V的供應電壓，而Tualatin使用1.2V的供應

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(≥)

電壓)，是以兩顆中央處理單元便無法共用同一主機板。

腳位編號	Coppermine	Tualatin
E21	RSVD	RSVD
E27	SLEWCTRL	VSS
G37	RSVD	VTT
N37	RSVD	NCHCTRL[VTT]
Q33	RSVD	RSVD[NCHCTRL]
W35	RSVD	RSVD[VTT]
X2	BR#1	RSVD
X4	RESET2#	VSS
X34	VCC	VTT
Y33	CLKREF	CLK#
Z36	V_2.5	RSVD
AB36	V_COMS	VTT
AD36	V_1.5	VTT
AE37	FLUSH#	FLUSH#
AG1	RSVD	VTT
AH4	RSVD	RESET#
AJ3	VSS	RSVD(RESET1#)
AK4	VSS	VTT_PWRGD
AK22	GTLREF7	CMOSREF
AK36	VSS	VID25MV
AL1	VSS	RSVD
AM2	RSVD	VSS
AN3	VSS	DYN_OE(BUSEL)

表 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（三）

本發明提供一種中央處理單元機型的分辨裝置、支援多種處理器共用相同主機板的配件裝置與方法及使用其之主機板。其用意在藉由提供單一可支援兩種中央處理單元的主機板，進而取代原先必須提供兩種主機板分別支援兩顆中央處理單元的解決方案。如此令使用者可隨意選擇組裝不同之中央處理單元，更可令生產及通路廠商便於管理各種材料，降低成本等。

為達上述及其他目的，本發明提供一種支援多種處理器共用相同主機板的配件裝置，其至少包括：一個分辨裝置耦接至中央處理器插槽上的第一連接腳位，其利用不同中央處理器插在中央處理器插槽後會在第一連接腳位上產生第一等效電阻值或者該第二等效電阻值，來產生中央處理單元選擇訊號，並且，切換電路耦接至分辨裝置以及中央處理單元插槽，用以根據中央處理單元選擇訊號之控制，將第一中央處理單元訊號連接至中央儲底單元插槽的連接腳位，或者將第二中央處理單元訊號連接至中央處理單元連接腳位。

為達上述及其他目的，本發明提供一種支援多種處理

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

器共用相同主機板的方法，包括下列步驟：首先，利用第一中央處理器或者第二中央處理器插在中央處理器插槽上的第一連接腳位所產生的第一等效電阻值或該第二等效電阻值之差異，來產生一中央處理單元選擇訊號；再來，根據中央處理單元選擇訊號，將多個第一中央處理單元訊號連接至對應之中央處理器插槽連接腳位，或者將多個第二中央處理單元訊號連接至對應之中央處理器插槽連接腳位。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖係顯示根據本發明較佳實施例之一種支援多種處理器的主機板之元件配置示意圖。

第2圖係顯示根據本發明較佳實施例之一種支援多種處理器的主機板系統方塊示意圖。

第3圖係顯示根據本發明較佳實施例之一種支援多種處理器共用相同主機板的配件裝置之內部方塊示意圖。

第4圖係顯示根據本發明較佳實施例中切換電路與配件裝置接腳關係之示意圖。

第5圖係顯示根據本發明較佳實施例之一種中央處理單元機型的分辨裝置之內部電路示意圖。

第6圖係顯示根據本發明較佳實施例之切換電路內部電路示意圖。

五、發明說明(5)

圖式標號之簡單說明：

- 100 配件裝置
- 110 Socket-370中央處理單元插槽
- 120 Socket-370插槽上的中央處理單元
- 140 南橋晶片
- 200 處理器選擇電路
- 210 分辨裝置
- 220 切換電路
- 240 區間控制電路
- 300 核心電源調節器
- 340 ATX電源供應器
- 500、510 運算(差斷)放大器
- 520 及閘 (AND gate)
- 530、540、545、650、660、730、740 電晶體
- 560、565 定電流源
- 570 參考電壓
- 600、610、700、710 栓鎖
- 630 延遲裝置
- 620、640 延遲電路
- 720 反相器

實施例

爲了提供單一且至少可支援兩種中央處理單元的主機板，所以，此主機板必須在系統尚未啓動之前，判讀所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

使用的中央處理單元之種類。這個判讀結果在系統啓動之後提供正確的線路與訊號、核心電壓源、以及供應電壓給中央處理單元及其系統，以維持系統日後之正常運作。

第1圖係顯示根據本發明較佳實施例之一種支援多種處理器(例如：Socket-370中央處理單元)的主機板之元件配置示意圖，其顯示配件裝置在主機板上與中央處理單元間相關位置之範例示意，請參照第1圖。爲了考量訊號品質等其他因素，這個配件裝置100被放置在非常接近中央處理單元插槽110的地方，或甚至被放置在中央處理單元插槽110內部之空穴處，以盡可能地縮短配件裝置100與中央處理單元的距離。

本實施例中，配件裝置100包括：處理器選擇電路、區間控制電路、和切換電路，處理器選擇電路和區間控制電路可合稱爲分辨裝置。首先，處理器選擇電路先根據Socket-370中央處理單元之腳位Z36或AK36等，判斷所使用的Socket-370中央處理單元之類型爲Coppermine或是Tualatin。這個處理器選擇電路會輸出一個中央處理單元選擇訊號，傳送給切換電路。切換電路將這個中央處理單元選擇訊號栓鎖住，其內部的開關電晶體會根據這個中央處理單元選擇訊號的數值將適當的外部線路連接至Socket-370中央處理單元(Coppermine或Tualatin)的相關腳位。而後，南橋晶片140所傳來的暫歇狀態輸入訊號(Suspend Status Input Signal)經過區間控制電路經過一段預定停止判斷時間的延遲後，切斷Socket-370中央處理單元腳位Z36與

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（7）

AK36和這個配件裝置之間的連線，使得這兩個腳位在正常系統操作期間不受處理器選擇電路的影響。此外，經過延遲的暫歇狀態輸入訊號再經過一次延遲後會被送至ATX電源供應器，將整個系統啟動。

第2圖係顯示根據本發明較佳實施例之一種支援多種處理器的主機板系統方塊示意圖，請參照第2圖。本發明之配件裝置100除了連接至Socket-370中央處理單元120之某些腳位外，亦接受來自南橋晶片的暫歇狀態輸入訊號與系統時脈和必要的供應電壓。配件裝置所產生的輸出，亦即中央處理單元選擇訊號（C or T OUT），除了用來切換適當的外部線路連接至該Socket-370中央處理單元，亦即當Socket-370中央處理單元120為Coppermine時，將第一處理器輸出入（Coppermine輸出入）接到Socket-370中央處理單元120的相對應訊號接腳上，當Socket-370中央處理單元120為Tualatin時，將第二處理器輸出入（Tualatin輸出入）接到Socket-370中央處理單元120。中央處理單元選擇訊號亦傳送給VRM8.4和VRM8.5中央處理單元核心電源調節器300（VRM8.4 and VRM8.5 CPU Core Power Regulator）和ATX電源供應器340（Power Supply），用以提供適當的核心電源與供應電壓給中央處理單元120，進而將整個系統啟動。

依據本發明之較佳實施例，該配件裝置利用Socket-370插槽之腳位Z36與腳位AK36來判斷該Socket-370中央處理單元的類型。其原理簡述如下，在系統啟動後，中央處理單元Coppermine中，腳位Z36作為電源用（即VCC2.5）之

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (8)

用，腳位AK36作為接地（即VSS）之用。而在中央處理單元Tualatin中正好不同，腳位Z36作為預留之用，腳位AK36則作為電源（即VID25MV）之用。然而，在系統尚未啟動之前，經過測量得知，中央處理單元Coppermine被插在主機板上時，其這兩個腳位的阻抗值分別約為Z36（非常大，遠大於100K）與AK36（趨近於0），反之，當中央處理單元Tualatin被插在主機板上時，這兩個腳位的阻抗值分別約為Z36（20-100）與AK36（20-100）。配件裝置100中的處理器選擇電路即可利用這兩個中央處理單元在系統尚未啟動之前，同一腳位上阻抗值不相同的特性，辨別出所插在Socket-370上的中央處理單元之類型為何了。

第3圖係顯示根據本發明較佳實施例之一種支援多種處理器共用相同主機板的配件裝置之內部方塊示意圖。如第3圖所示，配件裝置100包括一個分辨裝置210以及一個切換電路220。分辨裝置210由一個處理器選擇電路200以及一個區間控制電路240組合而成。處理器選擇電路200連接Socket-370中央處理單元120的腳位Z36與AK36，偵測出此Socket-370中央處理單元120的類型，進而產生一個中央處理單元選擇訊號（C or T OUT）。而切換電路220則利用南橋晶片140所傳送來的暫歇狀態輸入訊號（suspend status input signal，SUS,In）作為內部所有栓鎖的栓鎖啟動訊號（latch enable signal），以便將處理器選擇電路200輸出的中央處理單元選擇訊號（C or T OUT）栓鎖住。這個被栓鎖住的中央處理單元選擇訊號將用來選擇一些適當的線路

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(9)

(Coppermine或Tualatin輸出), 連接至Socket-370中央處理單元的某些腳位。區間控制電路240亦接受這個暫歇狀態輸入訊號, 並將它延遲後產生一個暫歇狀態輸出訊號, 傳送給ATX電源供應器。此外, 區間控制電路內部亦將這個暫歇狀態輸入訊號延遲後產生一個切斷啟動訊號, 傳送到處理器選擇電路200, 切斷它與Socket-370腳位Z36與AK36之間的連線, 以確保該腳位Z36與AK36在系統正常操作的時候不被處理器選擇電路200所影響。

請同時參照第2圖第3圖, 配件裝置100接受所需之來自Socket-370中央處理單元120(Coppermine或Tualatin)腳位(如Z36與AK36)、必要的供應電源(如VTT、VSS)、以及一些必要訊號(如暫歇狀態輸入訊號), 根據所判讀之中央處理單元類型, 切換電路220可將適當的線路連接至Socket-370中央處理單元120。同時, 配件裝置100也產生一個中央處理單元選擇訊號, 告知VRM8.4與VRM8.5中央處理單元核心電源調節器300所使用之中央處理單元類型, 讓中央處理單元核心電源調節器300得以產生適當的核心電壓源給Socket-370中央處理單元120。另外, 配件裝置100所接收並延後的暫歇狀態輸入訊號也會變成暫歇狀態輸出訊號傳送給ATX電源供應器340, 得以在確知中央處理單元類型後正式啟動系統。

第4圖係顯示根據本發明較佳實施例中切換電路與配件裝置接腳關係之示意圖。如第4圖所示, 切換電路220會根據中央處理單元選擇訊號(C or T OUT)將適當的訊號

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

(Coppermine或Tualatin輸出入)連接至Socket-370中央處理單元120之相關連接腳位。

第5圖係顯示根據本發明較佳實施例之一種中央處理單元機型的分辨裝置之內部電路示意圖，其主要包括兩部分：處理器選擇電路以及區間控制電路。如第5圖所示，處理器選擇電路包括兩個差動放大器(或稱運算放大器)500與510、電晶體530,540與545、定電流源560與565、以及一個及閘520。定電流源560與565係設計成輸出電流相等。差動放大器500的正輸入端除經100K電阻連接至定電流源565，透過100K電阻接到地外，並與電晶體530連接至Socket-370中央處理單元120的腳位Z36；而差動放大器500的負輸入端經100K電阻連接至定電流源560，透過50K電阻接到地(亦可為其他固定電位)，差動放大器500的輸出是為第一機型訊號。另一方面，差動放大器510的正輸入端連接一個固定電壓源；而其負輸入端經電晶體540連接至Socket-370中央處理單元120的腳位AK36，Socket-370中央處理單元120的腳位AK36亦同時經電晶體545、適當電阻連接至另一電源VCC1.5，差動放大器510的輸出是為第二機型訊號。第一機型訊號與第二機型訊號經邏輯電路(及閘520)後輸出中央處理單元選擇訊號。

當系統尚未啟動前，中央處理單元Coppermine插在主機板上時，這兩個腳位所量測的阻抗值分別為Z36（非常大，遠大於100K）與AK36（趨近於0），反之，當中央處理單元Tualatin被插在主機板上時，這兩個腳位的阻抗值分

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(II)

別約為Z36(20-100)與AK36(20-100)，這個電阻值的差異將作為判斷中央處理單元類型的依據。如第5圖所示，當所使用的Socket-370中央處理單元120之類型為Coppermine時，則差動放大器500與510的輸出(第一機型訊號與第二機型訊號)皆為高邏輯狀態，因此，及閘520的輸出(中央處理單元選擇訊號)即為高邏輯狀態來指示所使用的中央處理單元類型為Coppermine。反之，當所使用的Socket-370中央處理單元120之類型為Tualatin時，差動放大器500與510的輸出(第一機型訊號與第二機型訊號)皆為低邏輯狀態，所以及閘520的輸出(中央處理單元選擇訊號)即為低邏輯狀態來指示所使用的中央處理單元類型為Tualatin。

如熟悉此藝者知曉，本實施例中差動放大器500與510之正輸入端與負輸入端的安排方法，使得第一機型訊號與第二機型訊號為高邏輯狀態時，表示Socket-370中央處理單元120之類型為Coppermine，同理亦可作其他安排，使第一與第二機型訊號為低邏輯狀態時，來表示Socket-370中央處理單元120之類型為Coppermine；而且，並不一定以及閘520來作為處理第一機型訊號與第二機型訊號，以輸出中央處理單元選擇訊號的唯一選擇。再者，上述的實施例係將第一機型訊號與第二機型訊號經過即閘後所產生的中央處理單元選擇訊號來決定中央處理單元的類型。然而，在本發明中僅利用第一機型訊號或者第二機型訊號的輸出，亦可以直接作為中央處理單元選擇訊號。

再者，區間控制電路主要包括兩個栓鎖600與610、延

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

遲裝置630以及兩個電晶體650與660。延遲裝置內的延遲電路620與630將暫歇狀態輸入訊號延遲一段預定停止判斷時間後，傳送給栓鎖600與610，作為栓鎖600與610之栓鎖啟動訊號。這個栓鎖啟動訊號栓鎖入一個由低到高的電壓值，進而開啓電晶體650與660。開啓後的電晶體650與660將節點ControlOut1與ControlOut2的電位由高拉至低。這兩個控制訊號用來關閉電晶體530與540。因此，在處理器選擇電路200得知Socket-370中央處理單元之類型後不久，腳位Z36與AK36和此處理器選擇電路200之間的連線就會被切斷。而後，剛剛經過延遲電路620的暫歇狀態輸入訊號（在此稱之為切斷啟動訊號）會再經過延遲電路640的延遲，變成暫歇狀態輸出訊號，然後輸出給ATX電源供應器340，進而啟動整個系統。

第6圖係顯示根據本發明較佳實施例之切換電路內部電路示意圖。如第6圖所示，這個切換電路包括複數個栓鎖（如栓鎖700與710）、複數個電晶體（如730與740）、以及複數個反相器（如Not gate 720）。處理器選擇電路200所輸出之中央處理單元選擇訊號（C or T OUT）以及它的互補訊號將被暫歇狀態輸入訊號栓鎖入栓鎖700與710中。栓鎖700與710的輸出將被用來開啓或關閉電晶體730與740。當使用的中央處理單元是Coppermine時，C or T訊號為高邏輯狀態，是以將電晶體730開啓、將電晶體740關閉，即選擇中央處理單元Coppermine所需的訊號作為輸出，連接至Socket-370中央處理單元。反過來，如果使用的中央處

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（13）

理單元是Tualatin時，C or T訊號為低邏輯狀態，是以將電晶體730關閉、將電晶體740開啓，即選擇中央處理單元Tualatin所需的訊號作為輸出，連接至Socket-370中央處理單元。

如熟悉此技藝者可輕易知曉，較佳實施例中更提供預備電源3V3SB，而分辨裝置的處理器選擇電路或區間控制電路之電力來源係使用這預備電源，因此，才能在系統未正常供電，就能正確判斷出中央處理單元的機型。

如熟悉此技藝者可輕易知曉，本發明可在暫歇狀態輸入訊號致動後，才判斷插在中央處理單元插槽上之中央處理單元的機型。如此，可以有節約電源的好處，或不怕使用者於某種情況中途更換中央處理單元。實際的電路上，可以在上述處理器選擇電路中包括一個啓動判斷控制電路（未繪示），此啓動判斷控制電路接收暫歇狀態輸入訊號後，才使處理器選擇電路運作，以判斷插在中央處理單元插槽上中央處理單元的機型。而此啓動判斷控制電路係利用控制上述預備電源給處理器選擇電路內之部分電路，例如定電流源，來控制處理器選擇電路的啓動。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

六、申請專利範圍

1.一種支援多種處理器共用相同主機板的配件裝置，耦接至一中央處理單元插槽，該中央處理單元插槽具有複數個連接腳位，當該中央處理單元插槽插上一第一中央處理單元時，該些連接腳位中的一第一連接腳位上具有一第一等效電阻值，當該中央處理單元插槽插上一第二中央處理單元時，該第一連接腳位上具有一第二等效電阻值，該配件裝置包括：

一分辨裝置，耦接至該第一連接腳位，其利用該第一等效電阻值與該第二等效電阻值之差異，來產生一中央處理單元選擇訊號；以及

一切換電路，耦接至該分辨裝置以及該中央處理單元插槽，用以根據該中央處理單元選擇訊號之控制，選擇性的將複數個第一中央處理單元訊號連接至對應之該些連接腳位，以及將複數個第二中央處理單元訊號連接至對應之該些連接腳位。

2.如申請專利範圍第1項所述之支援多種處理器共用相同主機板的配件裝置，其中當該中央處理單元插槽插上該第一中央處理單元時，該些連接腳位中的一第二連接位上具有一第三等效電阻值，當該中央處理單元插槽插上該第二中央處理單元時，該第二連接腳位上具有一第四等效電阻值，而該分辨裝置，更耦接至該第二連接腳位，其利用該第一等效電阻值、該第二等效電阻值、該第三電阻值與該第四電阻值之差異，來判斷該中央處理單元插槽上之中央處理單元的機型，並產生該中央處理單元選擇訊號。

六、申請專利範圍

3.如申請專利範圍第2項所述之支援多種處理器共用相同主機板的配件裝置，更接受一暫歇狀態輸入訊號，其中該分辨裝置包括：

一處理器選擇電路，耦接至該第一連接腳位與該第二連接腳位，其利用該第一等效電阻值、該第二等效電阻值、該第三等效電阻值、該第四等效電阻值之差異，來產生該中央處理單元選擇訊號；以及

一區間控制電路接收該暫歇狀態輸入訊號，並延遲該暫歇狀態輸入訊號一預定停止判斷時間，使該處理器選擇電路切斷該第一連接腳位與該處理器選擇電路之間的連線。

4.如申請專利範圍第3項所述之支援多種處理器共用相同主機板的配件裝置，其中該區間控制電路至少包括：

一第一延遲電路，其接收該暫歇狀態輸入訊號並延遲該預定停止判斷時間，產生一切斷啟動訊號；以及

一第二延遲裝置，耦接至該第一延遲裝置，其接受該切斷啟動訊號，延遲一預定緩衝時間後，產生一暫歇狀態輸出訊號；

其中，該區間控制電路根據該切斷啟動訊號，使該處理器選擇電路切斷該處理器選擇電路與該第一連接腳位和該第二連接腳位之間的連線；該配件裝置所在的一電腦系統根據該暫歇狀態輸出訊號啟動該電腦系統。

5.如申請專利範圍第4項所述之支援多種處理器共用相同主機板的配件裝置，其中該區間控制電路更包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一電阻，具有一第一端及一第二端，該第一端耦接至一第一固定電位；以及

一栓鎖電路，具有一輸入端、一輸出端以及一控制端，該控制端耦接至該第一延遲裝置以及該輸入端耦接該第一電阻之該第二端，用以接受該切斷啓動訊號之控制，輸出一切斷栓鎖訊號。

6.如申請專利範圍第3項所述之支援多種處理器共用相同主機板的配件裝置，其中該處理器選擇電路包括：

一第一開關電晶體，具有一第一端、一第二端以及一控制端，該第一端耦接至該第一連接腳位，該控制端耦接至該區間控制電路，用以使該第一連接腳位與該處理器選擇電路之間的連線切斷與導通二者擇一；

一第二電阻，具有一第一端及一第二端，該第一端耦接至該第一開關電晶體之該第二端；

一第一定電流源，耦接至該第二電阻之該第二端，用以提供一第一定電流；

一第二定電流源，用以提供一第二定電流，該第一定電流與該第二定電流之值的差異係小於一預定值；

一第三電阻，具有一第一端及一第二端，該第二端耦接至該第二定電流源；

一第四電阻，具有一第一端及一第二端，該第一端耦接至一第一固定電位，該第二端耦接至該第二電阻之該第一端；

一第五電阻，具有一第一端及一第二端，該第一端耦

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

接至該第一固定電位，該第二端耦接至該第三電阻之該第一端，該第四電阻與該第五電阻之值係不相等；以及

一第一運算放大器，具有一第一輸入端、一第二輸入端以及一輸出端，該第一輸入端接至該第二電阻之該第一端，該第二輸入端接至該第三電阻之該第一端，該輸出端輸出一第一機型訊號。

7.如申請專利範圍第6項所述之支援多種處理器共用相同主機板的配件裝置，其中該處理器選擇電路包括：

一第二開關電晶體，具有一第一端、一第二端以及一控制端，該第一端耦接至該第二連接腳位，該控制端耦接至該區間控制電路，用以使該第二連接腳位與該處理器選擇電路之間的連線切斷與導通二者擇一；

一第六電阻，具有一第一端及一第二端，該第二端耦接至一第二固定電位；

一第三開關電晶體，具有一第一端、一第二端以及一控制端，該第一端耦接至該第二連接腳位，該第二端耦接至該第六電阻之該第一端，該控制端耦接至該區間控制電路，用以使該第二連接腳位與該第六電阻之間的連線切斷與導通二者擇一；以及

一第二運算放大器，具有一第一輸入端、一第二輸入端以及一輸出端，該第一輸入端接至該第二開關電晶體之該第二端，該第二輸入端接至一第三固定電位，該輸出端輸出一第二機型訊號。

8.如申請專利範圍第7項所述之支援多種處理器共用

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

相同主機板的配件裝置，其中該處理器選擇電路更包括一邏輯電路，用以接收該第一機型訊號以及該第二機型訊號，產生該中央處理單元選擇訊號。

9.如申請專利範圍第1項所述之支援多種處理器共用相同主機板的配件裝置，更接受一暫歇狀態輸入訊號，其中該分辨裝置包括：

一處理器選擇電路，耦接至該第一連接腳位，其利用該第一等效電阻值與該第二等效電阻值之差異，來產生該中央處理單元選擇訊號；以及

一區間控制電路接收該暫歇狀態輸入訊號，並延遲該暫歇狀態輸入訊號一預定停止判斷時間，使該處理器選擇電路切斷該第一連接腳位與該處理器選擇電路之間的連線。

10.如申請專利範圍第9項所述之支援多種處理器共用相同主機板的配件裝置，其中該區間控制電路至少包括：

一第一延遲電路，其接收該暫歇狀態輸入訊號並延遲該預定停止判斷時間，產生一切斷啟動訊號；以及

一第二延遲裝置，耦接至該第一延遲裝置，其接受該切斷啟動訊號，延遲一預定緩衝時間後，產生一暫歇狀態輸出訊號；

其中，該區間控制電路根據該切斷啟動訊號，使該處理器選擇電路切斷該第一連接腳位與該處理器選擇電路之間的連線；該配件裝置所在的一電腦系統根據該暫歇狀態輸出訊號啟動該電腦系統。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

11.如申請專利範圍第9項所述之支援多種處理器共相同主機板的配件裝置，更耦接至一電源調節器，該電源調節器根據該暫歇狀態輸出訊號以及該中央處理單元選擇訊號，供應正確之電源電壓給該中央處理單元插槽上的該中央處理單元。

12.如申請專利範圍第9項所述之支援多種處理器共用相同主機板的配件裝置，其中該處理器選擇電路包括一啓動判斷控制電路，該啓動判斷控制電路接收該暫歇狀態輸入訊號後，才使該處理器選擇電路運作，以判斷插在該中央處理單元插槽上該中央處理單元的機型。

13.如申請專利範圍第1項所述之支援多種處理器共用相同主機板的配件裝置，其中提供該分辨裝置的電源係由一預備電源所供給。

14.一種支援多種處理器共用相同主機板的方法，應用於一電腦系統中，該電腦系統具有一中央處理單元插槽以及一暫歇狀態輸入訊號，該中央處理單元插槽具有複數個連接腳位，而該些連接腳位中的一第一連接腳位，在該中央處理單元插槽插上一第一中央處理單元時具有一第一等效電阻值，在該中央處理單元插槽插上一第二中央處理單元時具有一第二等效電阻值，該方法包括下列步驟：

利用該第一等效電阻值與該第二等效電阻值之差異，來產生一中央處理單元選擇訊號；以及

根據該中央處理單元選擇訊號，選擇性的將複數個第一中央處理單元訊號連接至對應之該些連接腳位，以及將

六、申請專利範圍

複數個第二中央處理單元訊號連接至對應之該些連接腳位。

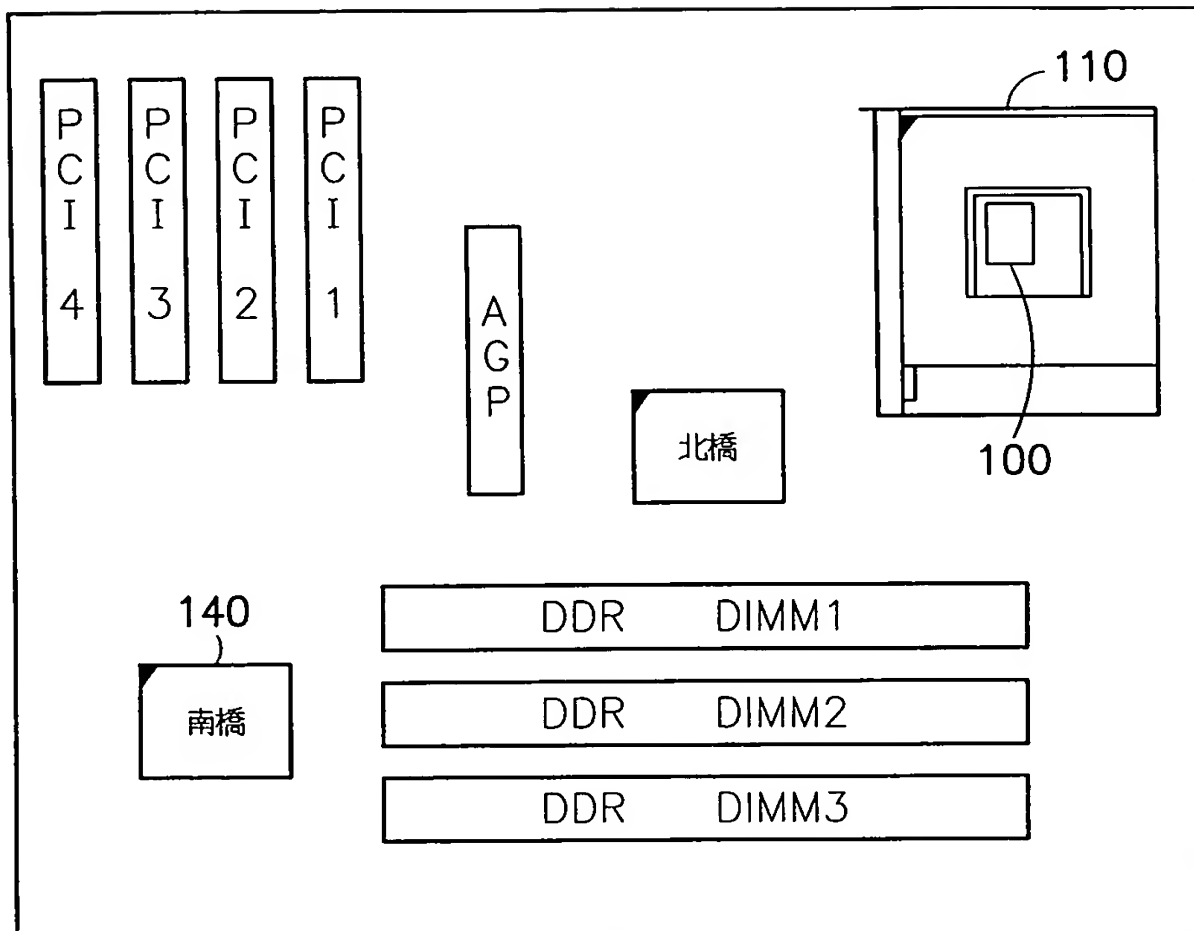
15.如申請專利範圍第14項所述之支援多種處理器共用相同主機板的方法，更包括在該暫歇狀態輸入訊號後，延遲一預定停止判斷時間，並在該預定停止判斷時間內判斷插在該中央處理單元插槽上之中央處理單元的機型。

16.如申請專利範圍第14項所述之支援多種處理器共用相同主機板的方法，更包括在該預定停止判斷時間之後再延遲該暫歇狀態輸入訊號一預定緩衝時間，才根據該中央處理單元選擇訊號使該中央處理單元插槽上的中央處理單元正常運作。

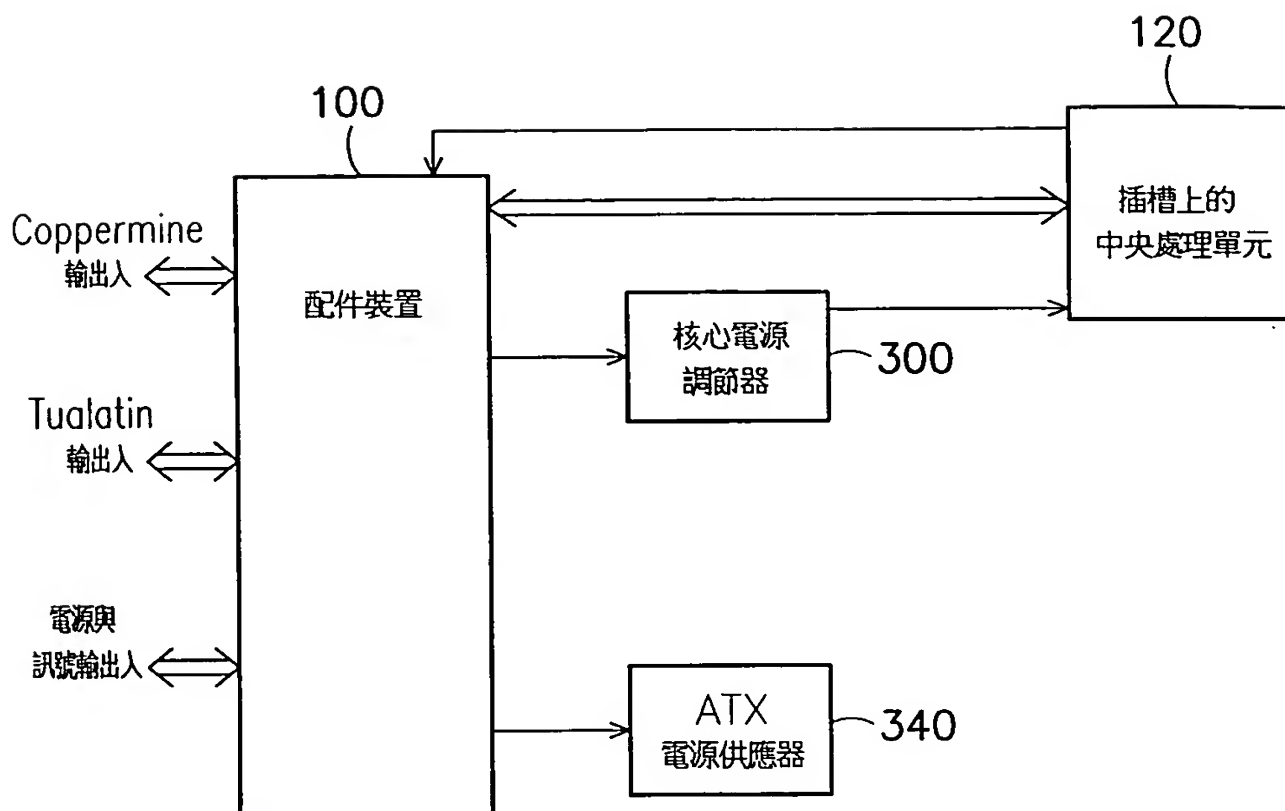
17.如申請專利範圍第14項所述之支援多種處理器共用相同主機板的方法，其中該些連接腳位內的一第二連接腳位，在該中央處理單元插槽插上該第一中央處理單元時具有一第三等效電阻值，在該中央處理單元插槽插上該第二中央處理單元時具有該第四等效電阻值，而更利用該第三等效電阻值與該第四等效電阻值之差異，來判斷插在該中央處理單元插槽上之中央處理單元的機型。

(請先閱讀背面之注意事項再填寫本頁)

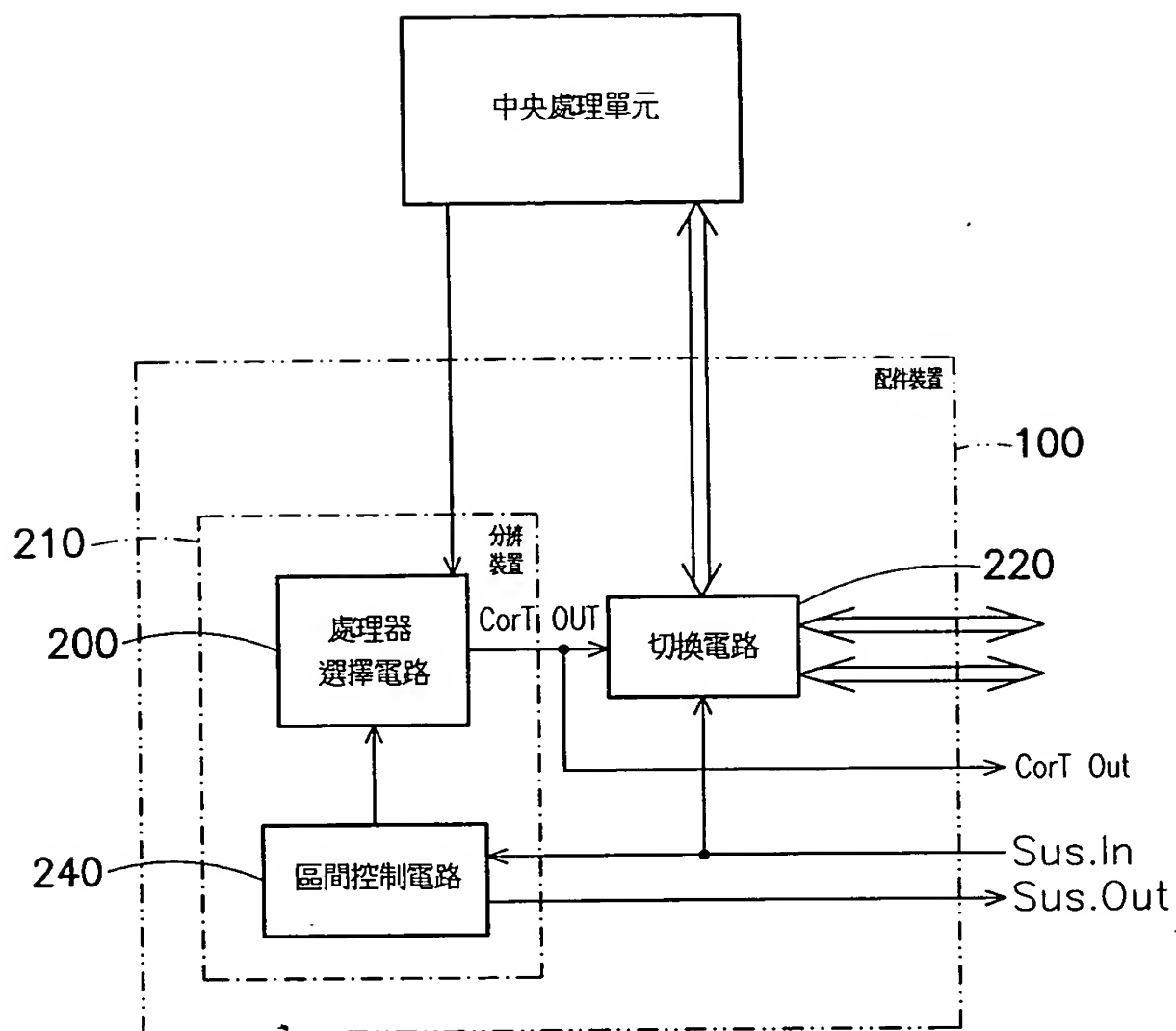
裝
訂
線



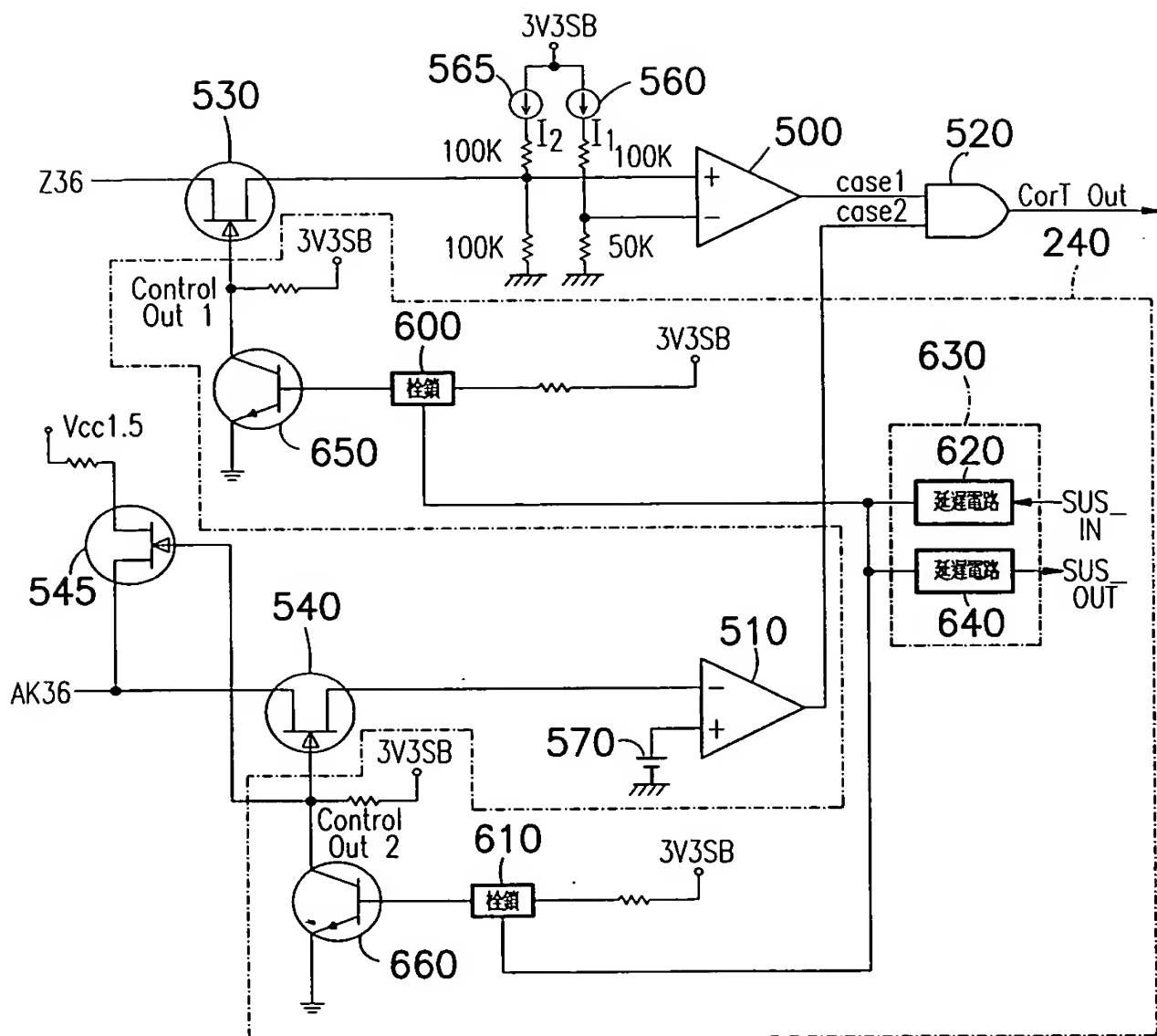
第 1 圖



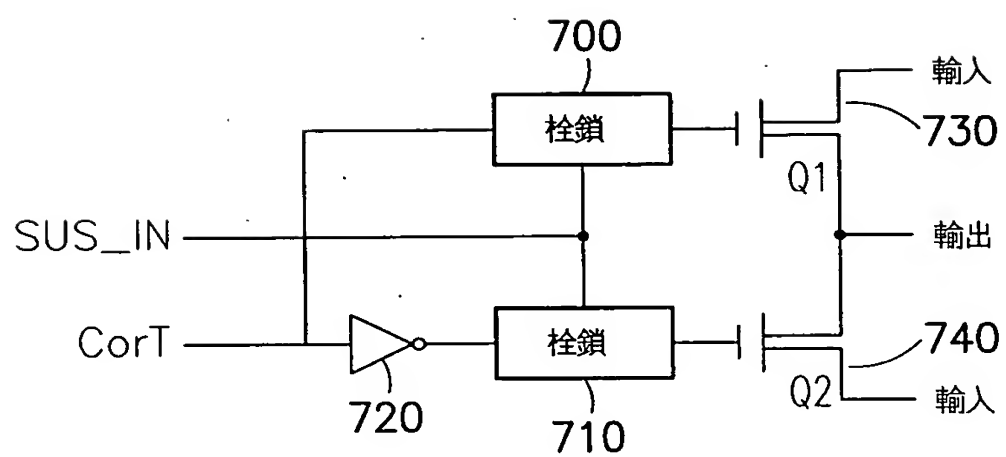
第 2 圖



第 3 圖



第 5 圖



第 6 圖



Creation date: 09-28-2004
Indexing Officer: OADAN - ORLANDO ADAN
Team: OIPEBackFileIndexing
Dossier: 10036168

Legal Date: 05-08-2002

No.	Doccode	Number of pages
1	IMIS	1

Total number of pages: 1

Remarks:

Order of re-scan issued on